

AI

DIALOG(R)File 352:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

010668275 \*\*Image available\*\*

WPI Acc No: 1996-165229/199617

XRAM Acc No: C96-051960

XRPX Acc No: N96-138771

Pattern formation method for semiconductor device - involving removal of upper deterioration layer of resist pattern, formed by ion implantation process

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8045906	A	19960216	JP 94176598	A	19940728	199617 B

Priority Applications (No Type Date): JP 94176598 A 19940728

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8045906	A	6	H01L-021/3065	

Abstract (Basic): JP 8045906 A

The formation method involves formation of a resist pattern (2) on a substrate (1) by photolithography process. Then, ion implantation is carried on to the resist pattern. Then, etching of the resist pattern by oxygen plasma etching process using oxygen radical as main ingredient, is carried out. An upper deterioration layer (3) of the resist pattern formed by the ion implantation process, is then removed.

ADVANTAGE - Increases etching speed. Forms detailed pattern having good critical resolution.

Dwg. 1/4

Title Terms: PATTERN; FORMATION; METHOD; SEMICONDUCTOR; DEVICE; REMOVE; UPPER; DETERIORATE; LAYER; RESIST; PATTERN; FORMING; ION; IMPLANT; PROCESS

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/3065

International Patent Class (Additional): H01L-021/027; H01L-021/265

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

05090406 \*\*Image available\*\*

PATTERN FORMING METHOD AND MANUFACTURE OF SEMICONDUCTOR DEVICE USING THIS METHOD

PUB. NO.: 08-045906 [JP 8045906 A]

PUBLISHED: February 16, 1996 (19960216)

INVENTOR(s): SHINOHARA KEIJI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 06-176598 [JP 94176598]

FILED: July 28, 1994 (19940728)

INTL CLASS: [6] H01L-021/3065; H01L-021/265; H01L-021/027

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R100 (ELECTRONIC MATERIALS -- Ion  
Implantation)

#### ABSTRACT

PURPOSE: To make it possible to excellently form a microscopic pattern having critical resolution or higher using the lithography technique now in use.

CONSTITUTION: A resist pattern 2 is formed on a substrate 1 using a lithography means, ions are implanted into a resist pattern 2, the resist pattern is etched by the reaction of oxygen radical using a plasma etching means and the like, and the upper modified layer 3 of the resist pattern formed by an ion implantation a non process is removed in the pattern forming method and the semiconductor device manufacturing method using the above-mentioned method.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-45906

(43)公開日 平成8年(1996)2月16日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/3065			
	21/265			
	21/027			
			H 0 1 L 21/ 302	H
			21/ 265	Z
			審査請求 未請求 請求項の数9	OL (全 6 頁) 最終頁に続く

(21)出願番号 特願平6-176598

(22)出願日 平成6年(1994)7月28日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 篠原 啓二

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 高月 亨

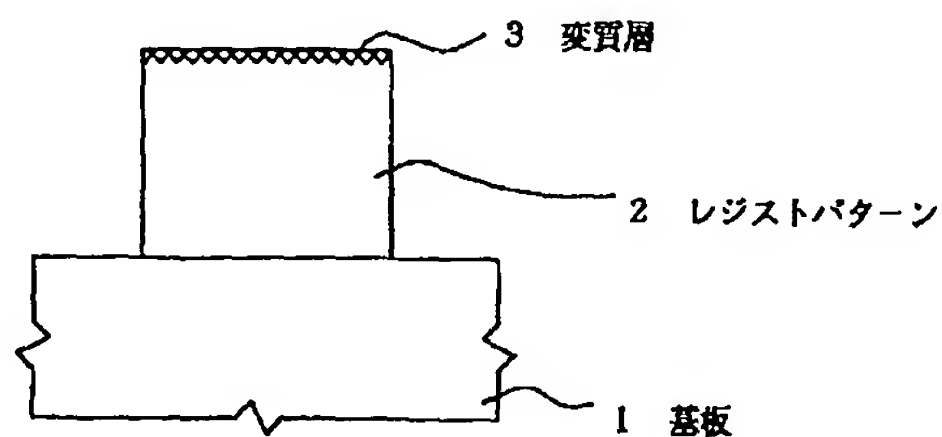
(54)【発明の名称】 パターン形成方法及び該パターン形成方法を用いた半導体装置の製造方法

(57)【要約】

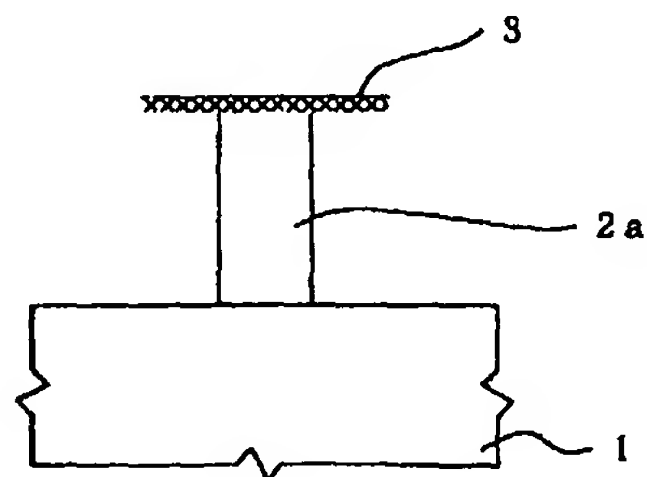
【目的】 現行のリソグラフィー技術を用いながら、限界解像度以上の微細パターンを良好に形成することが可能なパターン形成方法及び該パターン形成方法を用いた半導体装置の製造方法を提供する。

【構成】 基板1上に、フォトリソグラフィー手段によりレジストパターン2を形成し、レジストパターン2にイオン注入を行い、酸素プラズマエッチング手段等を用いて酸素ラジカルによるエッチングを主とする反応でレジストパターンをエッチングし、イオン注入工程により形成されたレジストパターンの上部変質層3を除去するパターン形成方法及びこれを用いた半導体装置の製造方法。

(a) 実施例1の工程(1)



(b) 実施例1の工程(2)



## 【特許請求の範囲】

【請求項1】基板上にパターンを形成する方法において、

基板上に、フォトリソグラフィー手段によりレジストパターンを形成する工程と、

前記レジストパターンにイオン注入を行う工程と、  
酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程と、

前記イオン注入工程により形成されたレジストパターンの上部変質層を除去する工程を備えることを特徴とする、パターン形成方法。

【請求項2】前記酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程が、酸素を含有するプラズマ反応によるエッチング手段によりエッチングを行う工程であることを特徴とする請求項1に記載のパターン形成方法。

【請求項3】前記酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程が、酸素ラジカルによる反応のみを利用したエッチング手段によりエッチングを行う工程であることを特徴とする請求項1または2に記載のパターン形成方法。

【請求項4】前記レジストパターンの上部変質層を除去する工程が、少なくとも酸素、窒素、水素原子を構成原子として含有するガス系を利用する工程であることを特徴とする請求項1ないし3のいずれかに記載のパターン形成方法。

【請求項5】前記レジストパターンの上部変質層を除去する工程が、酸素イオンによるエッチング反応を主とするエッチングを用いた工程であることを特徴とする請求項4に記載のパターン形成方法。

【請求項6】前記レジストパターンの上部変質層を除去する工程が、 $\text{NH}_3$ を含むガス系を利用する工程であることを特徴とする請求項4に記載のパターン形成方法。

【請求項7】半導体基板上にパターンを形成する工程を備える半導体装置の製造方法において、

半導体基板上に、フォトリソグラフィー手段によりレジストパターンを形成する工程と、

前記レジストパターンにイオン注入を行う工程と、  
酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程と、

前記イオン注入工程により形成されたレジストパターンの上部変質層を除去する工程を備えることを特徴とする、半導体装置の製造方法。

【請求項8】前記酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程が、酸素ラジカル反応のみを利用したエッチング手段によるエッチングを行う工程であることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】前記レジストパターンの上部変質層を除去する工程が、少なくとも酸素、窒素、水素原子を構成原

子として含有するガス系を利用する工程であることを特徴とする請求項7または8に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、パターン形成方法及び該パターン形成方法を用いた半導体装置の製造方法に関する。本発明は、例えば、各種の半導体装置の製造の際に適応することができ、より詳しくは、特に、基板上に、各種パターンを形成する場合に利用できるものである。

## 【0002】

【従来の技術】フォトリソグラフィー手段を利用して各種パターンを形成する分野においては、パターンの寸法の微細化・集積化がますます進行している。例えば、半導体装置については、その設計ルールの微細化に伴って、各パターンの寸法も小さくなってきている。

【0003】ところが、微細化の程度はフォトリソグラフィー技術の解像度にかかっており、フォトリソグラフィー法による形成が可能な寸法が、微細加工の限界となっている。

【0004】最近、露光光源にi線や、更に短波長のエキシマレーザー等を用いた露光方法が提案されてきているが、その露光技術を用いても、これ迄の手法では、単独配線で $0.2\mu\text{m}$ 幅が限界に近くなっている。

【0005】見かけ上解像度を向上する手法として、多層レジスト方法が知られている。この方法は、厚い有機膜上に薄い無機膜を形成し、無機膜上にエキシマリソグラフィー法等で微細パターンを形成し、この微細パターンをマスクに薄い無機膜をエッチングし、その後、薄い無機膜をマスクに酸素を含有するガス系にて、厚い有機膜を異方性エッチングし、見かけ上アスペクト比の高いパターンを形成するものである。

【0006】また、従来の光源を用いたリソグラフィー方法において微細パターンを得る手法として、変形照明、及び、位相シフト法との併用が試みられているものの、変形照明においては、光源の一部を遮るため、露光時間が長くなってスループットが低下する問題があり、また、位相シフト法によれば解像度が向上するものの、マスク製造方法が非常に煩雑になる問題がある。

【0007】従来の方法を利用した手法の一つとして、従来のフォトリソグラフィー方法によりパターンを形成した後、酸素を含有してなるガス系を用いダウフロータイプのアッシング装置にてパターン全体を等方向に細らせることが考えられる。これを図3及び図4にその概略を示した。パターン形成すべき基板1上に、従来知られているフォトリソグラフィー方法によって、レジストパターン2を形成する(図3)。その後、荷電粒子が反応に寄与しないようなダウフロータイプの処理装置を用い、酸素ガスの放電によって酸素ラジカルを供給す

る。すると、酸素ラジカル反応によって、レジストパターン2は等方的にエッチングされ、パターンが細り、図4に符号2'で示すようにフォトリソグラフィ法での限界解像度以上の細いマスクパターンを形成することが可能となる。

【0008】

【発明が解決しようとする課題】前述の多層レジスト法を利用すれば、簡単にアスペクト比は向上し、下地段差に依らず、高精度のパターンが形成可能である。ところが、多層レジスト法では、パターンの幅を決定する上部のパターンは現行のリソグラフィ方法を利用することが前提になっているため、形成可能な最小寸法は上部のパターンを形成するリソグラフィ方法の解像度によって決まってしまう、解像度を上回るような、微細パターンの形成は不可能であった。

【0009】また、前述の酸素ラジカルによるレジストパターンの等方的なエッチング方法（図3及び図4参照）においては、限界解像度以上の細い配線パターンの形成は可能であるが、縦（図の上下方向）方向の膜厚も減少し、このパターンをマスクとして下部材料をエッチングする際、マスクとしての機能が低下する。

【0010】本発明は、上記した問題点を解決し、現行のリソグラフィ方法を用いながら、限界解像度以上の微細パターンを良好に形成することが可能なパターン形成方法及び該パターン形成方法を用いた半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本出願の請求項1の発明は、基板上にパターンを形成する方法において、基板上に、フォトリソグラフィ手段によりレジストパターンを形成する工程と、前記レジストパターンにイオン注入を行う工程と、酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程と、前記イオン注入工程により形成されたレジストパターンの上部変質層を除去する工程を備えることを特徴とする、パターン形成方法であって、これにより上記目的を達成するものである。

【0012】本出願の請求項2の発明は、前記酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程が、酸素を含有するプラズマ反応によるエッチング手段によりエッチングを行う工程であることを特徴とする請求項1に記載のパターン形成方法であって、これにより上記目的を達成するものである。

【0013】ここで酸素ラジカル反応のみを利用したエッチング手段としては、荷電粒子が反応に寄与しないダウンフロー方式のエッチング装置を用いる手段を採用することができる。

【0014】本出願の請求項3の発明は、前記酸素ラジカルによるエッチングを主とする反応で前記レジストパ

ターンをエッチングする工程が、酸素ラジカルによる反応のみを利用したエッチング手段によりエッチングを行う工程であることを特徴とする請求項1または2に記載のパターン形成方法であって、これにより上記目的を達成するものである。

【0015】本出願の請求項4の発明は、前記レジストパターンの上部変質層を除去する工程が、少なくとも酸素、窒素、水素原子を構成原子として含有するガス系を利用する工程であることを特徴とする請求項1ないし3のいずれかに記載のパターン形成方法であって、これにより上記目的を達成するものである。

【0016】例えば、好ましいガス系としては、 $O_2$ 、 $NH_3$ 等が挙げられる。

【0017】本出願の請求項5の発明は、前記レジストパターンの上部変質層を除去する工程が、酸素イオンによるエッチング反応を主とするエッチングを用いた工程であることを特徴とする請求項4に記載のパターン形成方法であって、これにより上記目的を達成するものである。

【0018】本出願の請求項6の発明は、前記レジストパターンの上部変質層を除去する工程が、 $NH_3$ を含むガス系を利用する工程であることを特徴とする請求項4に記載のパターン形成方法であって、これにより上記目的を達成するものである。

【0019】本出願の請求項7の発明は、半導体基板上にパターンを形成する工程を備える半導体装置の製造方法において、半導体基板上に、フォトリソグラフィ手段によりレジストパターンを形成する工程と、前記レジストパターンにイオン注入を行う工程と、酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程と、前記イオン注入工程により形成されたレジストパターンの上部変質層を除去する工程を備えることを特徴とする、半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0020】本出願の請求項8の発明は、前記酸素ラジカルによるエッチングを主とする反応で前記レジストパターンをエッチングする工程が、酸素ラジカル反応のみを利用したエッチング手段によるエッチングを行う工程であることを特徴とする請求項7に記載の半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0021】本出願の請求項9の発明は、前記レジストパターンの上部変質層を除去する工程が、少なくとも酸素、窒素、水素原子を構成原子として含有するガス系を利用する工程であることを特徴とする請求項7または8に記載の半導体装置の製造方法であって、これにより上記目的を達成するものである。

【0022】

【作用】本発明の作用について、後記詳述する本発明の一実施例を示す図1及び図2の例示を用いて説明する



と、次のとおりである。本発明においては、フォトリソグラフィ手段によるレジストパターン形成後、レジストパターンにイオン注入を行うが、これにより、図1

(a)に示すように、レジストパターン2の上部に変質層3が形成される。この変質層3は、レジストにイオン注入が行われたことで、レジスト材料中の分子結合が変化し、この部分の酸素ラジカルとの反応性が著しく低下する。即ち、酸素含有プラズマによっては除去され難い、酸素プラズマに対する硬化層となる。この状態で、例えばダウンフロータイプの処理装置で、酸素ガスを用い、プラズマ反応により、例えば酸素ラジカルのみを反応室に供給し、レジストパターンをエッチングする。この状態では、レジストパターン2の上部(変質層3)以外の部分、つまりイオン注入が行われていないレジスト側壁からエッチングされることになり、上部のイオン注入を行った変質層3'(硬化層)の部分は残る(図1(b))。そこで、引きつづき、全面に例えば酸素イオンを含む異方性エッチングを行えば、上部の変質層3(硬化層)の部分を除去することが可能となる。これによって、図2に示すように、当初のレジストパターン2より更に微細かつ縦方向ではレジスト減りの生じていないレジストパターン2aが得られるのである。

【0023】ダウンフロータイプの処理装置は、酸素ラジカルのみがエッチングに寄与するものであるが、これ以外でも、ECR放電、マグネトロン放電を利用したエッチング装置においても、ラジカル反応がメインの活性種になるような条件設定(例えばプラズマ条件、圧力条件や、アノードカップリング方式にするなどの機構等条件の設定)を行えば、酸素ラジカルが主たるエッチング反応を起こすものとして、使用可能である。

【0024】イオン注入したレジストの硬化層(変質層3)は酸素ラジカルとの反応速度は著しく低下する。よって、酸素イオン、酸素ラジカルともが反応に寄与する処理装置を用いる場合においては、イオンのスパッタリング反応によりイオン注入で形成された変質層3(硬化層)はこれによりエッチングされるが、酸素ラジカルの多い反応を用いる反応においては、イオン注入で形成された変質層3(硬化層)と酸素ラジカルとの反応性は低く、殆どエッチングされない。

【0025】従って、レジストパターンは細るものの、図1(b)及び図2に示したように、縦方向(図の上下方向)の膜厚は変化しない。この状態ではイオン注入した変質層3が硬化層部分となって陥状に残るので、この陥部分を含む変質層3を、酸素イオンを含む異方性エッチングにてエッチングすることで、パターン幅を変更することなく、陥部分を除去できる。

【0026】

【実施例】以下本発明の実施例について説明する。なお、当然のことではあるが、本発明は以下の実施例により限定を受けるものではない。

#### 【0027】実施例1

本発明の第1の実施例を図1(a)(b)及び図2に基づいて説明する。この実施例は、本発明を、被エッチング基体1である半導体基板上にレジストマスクを形成して、これを用いてパターン形成する場合に適用したものである。

【0028】本発明は、基板1上にパターンを形成するに際して、基板1上に、フォトリソグラフィ手段によりレジストパターン2を形成する工程と、このレジストパターン2にイオン注入を行う工程を行って、図1

(a)の構造とし、引き続き、酸素を含有するプラズマ反応で前記レジストパターン2をエッチングする工程によって図1(b)の構造とし、前記イオン注入工程により形成されたレジストパターン2の上部変質層3を除去する工程を備えて、図2に示す微細なレジストパターン2aを得るものであり、このレジストパターン2aを用いて所望のパターン形成を行う。

【0029】本実施例では、酸素を含有するプラズマ反応でレジストパターンをエッチングする工程を、酸素ラジカル反応のみを利用したエッチング手段によるエッチングにより行った。具体的には、ダウンフロータイプのプラズマエッチング装置を用いた。

【0030】また、本実施例では、レジストパターンの上部変質層3(硬化層)を除去する工程においては、少なくとも酸素を構成原子として含有するガス系を利用した。具体的には、酸素ガスを用いた。

【0031】更に詳しくは、まず本発明のパターン形成方法を適応して、被エッチング基体1である半導体基板上に、従来知られているフォトリソグラフィ方法によって、レジストパターン2を形成する。その後、 $Ar^+$ (アルゴンイオン)をイオン注入装置によって、エネルギー25keVで、 $1 \times 10^{13}$ ヶ/cm<sup>2</sup>、全面にイオン注入する。この時レジストパターン2の上部と、基板1のレジストに覆われていない部分にArが導入される。この入射エネルギーによって、レジスト材料が変質し、表面層に約30nmの範囲で変質層3が形成される(図1(a))。

【0032】その後、荷電粒子が反応に寄与しないようなダウンフロータイプの処理装置を用い、酸素ガスの放電によって酸素ラジカルを供給し、エッチングを行う。レジストへのイオン注入で形成された変質層3は、酸素ラジカルに対する硬化層をなし、酸素ラジカルに対して安定で殆どエッチングされない。一方、変質層3が形成されていないレジストパターン2の側壁部でレジストと酸素ラジカルが反応し、エッチングされる(図1(b))。

【0033】その後、RIE装置等、酸素イオンが反応に寄与する装置にて、レジストパターンを異方性エッチングする。変質層3(硬化層)は酸素イオンでスパッタされるとともに、酸素との反応で除去され、変質(酸素

ラジカルに対して硬化)していない部分が露出する。

【0034】本実施例によれば、レジストパターン2の上部が変質層3で覆われているため、等方向にレジストをエッチングしても、図1(b)に示すようにパターンが細る方向でのみエッチングが進行し、レジストの縦方向のエッチングは進行しない。従って最終的には、パターンの縦方向の減少は無く、リソグラフィーの限界以上の細いパターンが形成可能となる。

【0035】本実施例によりもたらされる代表的な効果は、下記のとおりである。

①フォトリソグラフィー法による限界解像度以上の微細パターン(図2のレジストパターン2a参照)が、従来技術の延長で、即ち現行のフォトリソグラフィー技術を用いながら、形成可能になるという効果がある。

②また、被エッチング面に予めイオン注入を行うことになり、レジストパターンを用いて下部材料をエッチングする際、エッチング速度が増大し、処理速度が増大する効果がある。

#### 【0036】実施例2

次に本発明の第2の実施例を示す。上記の第1の実施例では、イオン注入して形成された変質層3(硬化層)を酸素イオンを含むエッチング装置にてRIEしたが、酸素ラジカルによるパターンの細りも若干進行する。そこで、この第2の実施例では、レジストを等方的にエッチング後、レジスト上部の硬化層を水素、窒素を含有するガス系にてエッチングするものである。

【0037】第1の実施例で示したように、サンプルを図1(b)で示したように、ECRを利用したエッチング装置にて下記の条件でエッチングする。

【0038】 $O_2 = 100 \text{ sccm}$

圧力=30mtorr

$\mu$ 波パワー=400mA

RFバイアス=0W

【0039】ここで、基板にかかる高周波電力を印加していないため、酸素イオンが存在していても殆ど入射イオンエネルギーは無く、酸素ラジカルがメインの反応が進行する。よって、レジストパターン2の側壁からエッチングが進行する。

【0040】所定のエッチングの後、下記の条件に変更する。

$NH_3 = 100 \text{ sccm}$

圧力=10mtorr

$\mu$ 波パワー=400mA

RFバイアス=10W

【0041】アンモニアガス( $NH_3$ )の放電分解して形成された水素イオンの入射によって、上部のレジスト変質層が還元反応によってエッチング除去される。また、放電で形成されて窒素イオンによってもレジスト上面は異方性エッチングされ、レジスト2の幅に変更無く、上部の変質層3(硬化層)のみが除去される。

【0042】本実施例では、実施例1と同様の効果が得られ、しかもパターンの細りの進行を更に抑制できる。

#### 【0043】

【発明の効果】本発明のパターン形成方法及び該パターン形成方法を用いた半導体装置の製造方法によれば、フォトリソグラフィー法による限界解像度以上の微細パターンが、従来技術の延長で、即ち現行のフォトリソグラフィー技術を用いながら、形成可能になるという効果がある。また、被エッチング面に予めイオン注入を行うことで、レジストパターンを用いて下部材料をエッチングする際、エッチング速度が増大し、処理速度が増大する効果を得るように構成できる。

#### 【図面の簡単な説明】

【図1】本発明の実施例1の工程(1)(2)を示す概略断面図である。

【図2】本発明の実施例1の工程(3)を示す概略断面図である。

【図3】背景技術の工程(1)を示す概略断面図である。

【図4】背景技術の工程(2)を示す概略断面図である。

#### 【符号の説明】

- 1 パターンを形成すべき基体である基板(半導体基板)
- 2 レジストパターン
- 3 レジストの変質層(硬化層)

【図2】

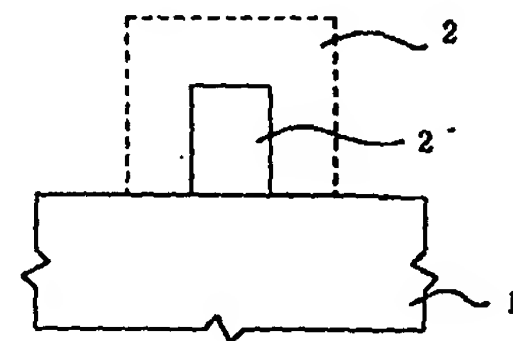
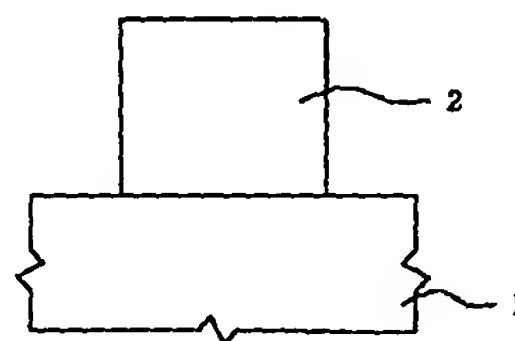
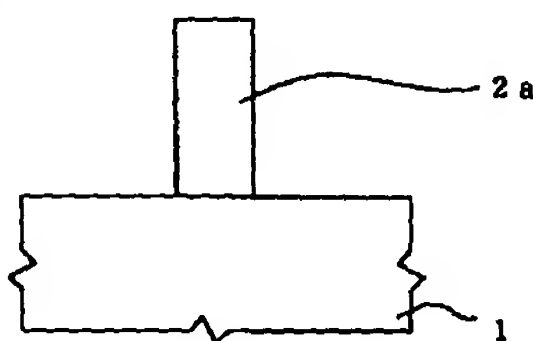
【図3】

【図4】

実施例1の工程(3)

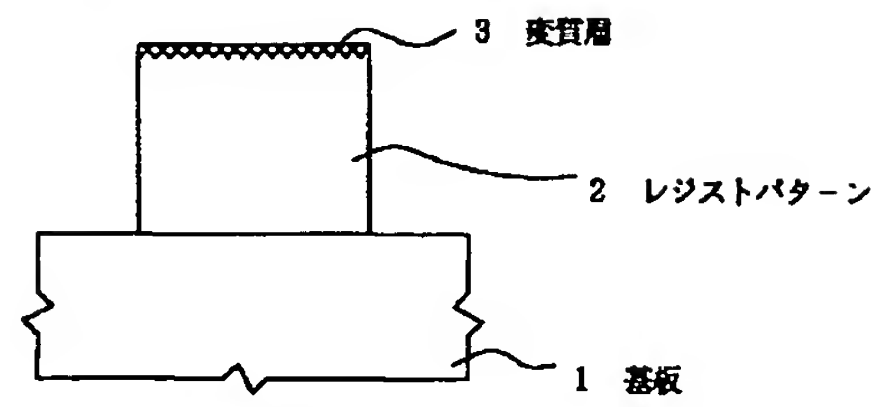
背景技術の工程(1)

背景技術の工程(2)

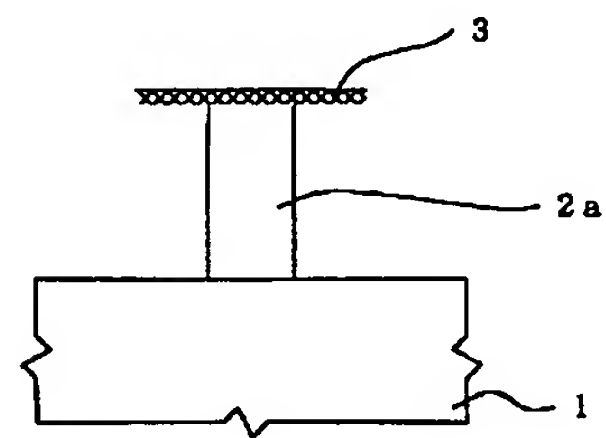


【図1】

(a) 実施例1の工程(1)



(b) 実施例1の工程(2)



---

フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/30

5 7 0